

PATENT
8053-1015

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Takekazu TANAKA
Appl. No.: NEW NON-PROVISIONAL
Filed: June 24, 2003
Title: SEMICONDUCTOR PACKAGE, AND PRODUCTION
PROCESS FOR MANUFACTURING SUCH
SEMICONDUCTOR PACKAGE
Conf.:
Group:
Examiner:

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 24, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

| <u>Country</u> | <u>Application No.</u> | <u>Filed</u> |
|----------------|------------------------|-----------------|
| JAPAN | 2002-237731 | August 19, 2002 |

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

Benoit Castel

Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/ma

Attachment(s): 1 Certified Copy(ies)



日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月19日

出 願 番 号

Application Number:

特願2002-237731

[ST.10/C]:

[JP2002-237731]

出 願 人

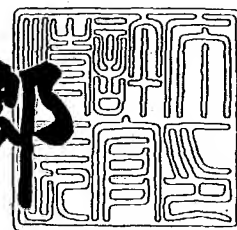
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3034348

【書類名】 特許願

【整理番号】 72310299

【提出日】 平成14年 8月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/48

【発明の名称】 半導体装置及びその組立方法

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 田中 壯和

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100081433

【弁理士】

【氏名又は名称】 鈴木 章夫

【手数料の表示】

【予納台帳番号】 007009

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002138

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその組立方法

【特許請求の範囲】

【請求項 1】 アイランドを備える第 1 のリードフレームと、前記アイランド上にマウントされる素子チップと、リード部を備えて前記第 1 のリードフレームに重ねられる第 2 のリードフレームとを備え、前記第 2 のリードフレームの前記リード部の第 1 のリード部の内端部が前記素子チップの表面上に所要の空隙をもって配置され、当該第 1 のリード部の内端部と前記素子チップの表面の電極とがボンディングワイヤにより接続され、少なくとも前記素子チップ、前記第 2 のリードフレームのリード部の内端部及び前記ボンディングワイヤはパッケージにより封止されていることを特徴とする半導体装置。

【請求項 2】 前記第 2 のリードフレームの前記リード部は第 2 のリード部を備え、当該第 2 のリード部の内端部は前記素子チップの表面の電極に直接接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 のリードフレームの前記リード部の外端部は、前記第 1 のリードフレームとほぼ同一平面上に位置され、前記リード部は当該外端部から前記内端部に沿って前記アイランドの上方に向けて曲げ形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 2 のリードフレームの前記リード部の内端部及び外端部は前記第 1 のリードフレームとほぼ同一平面上に位置され、前記第 1 のリードフレームの前記アイランドは前記リード部の内端部の下方に向けて曲げ形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】 前記素子チップは表面にゲート電極とソース電極を備え、裏面にドレイン電極を備えるトランジスタチップであり、前記第 1 のリードフレームのアイランドにはドレインリード部が一体に形成され、前記第 2 のリードフレームの前記第 1 のリード部は前記ゲート電極にボンディングワイヤにより接続されるゲートリード部であり、前記第 2 のリード部はソース電極に直接に接続されるソースリード部であることを特徴とする請求項 2 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】 前記第 2 のリードフレームの前記第 1 のリード部が複数設けられ、当該複数の第 1 のリード部の各内端部がそれぞれ前記素子チップの電極にボンディングワイヤにより接続されていることを特徴とする請求項 1, 3, 4 のいずれかに記載の半導体装置。

【請求項 7】 前記素子チップは表面にゲート電極とソース電極を備え、裏面にドレイン電極を備えるトランジスタチップであり、前記第 1 のリードフレームのアイランドにはドレインリード部が一体に形成され、前記第 2 のリードフレームの前記第 1 のリード部の一つは前記ゲート電極にボンディングワイヤにより接続されるゲートリード部であり、前記第 1 のリード部の他の一つはソース電極に複数本のボンディングワイヤにより接続されるソースリード部であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記素子チップは表面にアノード電極又はカソード電極の一方を備え、裏面に他方の電極を備えるダイオードチップであり、前記第 1 のリードフレームのアイランドには前記他方の電極リード部が一体に形成され、前記第 2 のリードフレームの前記第 1 のリード部は前記一方の電極にボンディングワイヤにより接続される一方の電極リード部であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 前記素子チップは表面にアノード電極及びカソード電極を備え、前記第 1 のリード部の一つは前記アノード電極にボンディングワイヤにより接続されるアノードリード部であり、前記第 1 のリード部の他の一つは前記カソード電極にボンディングワイヤにより接続されるカソードリード部であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】 第 1 のリードフレームのアイランド上に素子チップをマウントする工程と、前記第 1 のリードフレーム上に第 2 のリードフレームに設けたリード部の第 1 のリード部の内端部が前記素子チップの上方に所要の空隙をもって配置するように当該第 2 のリードフレームを重ねる工程と、前記第 1 のリード部の内端部と前記素子チップの電極とをワイヤボンディングする工程と、前記素子チップ及びリード部を封止してパッケージを形成する工程と、前記パッケージから突出された少なくとも前記第 1 のリード部を前記各リードフレームから切断

分離して個片化する工程を含むことを特徴とする半導体装置の組立方法。

【請求項 1 1】 前記第 2 のリードフレームに設けたリード部に第 2 のリード部を備え、前記第 2 のリード部の内端部を前記素子チップの表面の電極に直接に接合する工程を含むことを特徴とする請求項 1 0 に記載の半導体装置の組立方法。

【請求項 1 2】 前記第 2 のリード部の内端部を前記素子チップの表面の電極に直接に接合する工程は、前記素子チップの表面の電極に接合材の層を形成する工程と、前記第 2 のリードフレームを第 1 のリードフレーム上に重ねる工程において当該第 2 のリードフレームの第 2 リード部の内端部を前記電極に所要の圧力で当接させる工程と、前記当接した状態を保ったまま前記素子チップを加熱し、前記接合材を溶融して前記電極と第 2 のリード部の内端部とを接合する工程であることを特徴とする請求項 1 1 に記載の半導体装置の組立方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はリードフレームを用いて半導体素子チップをパッケージする半導体装置に関し、特に素子チップのサイズを大型化する一方でパッケージの小型化を図った半導体装置とその組立方法に関するものである。

【0 0 0 2】

【従来の技術】

一般にリードフレームを用いてパッケージを構成している半導体装置は、図 1 3 に概略構成の平面図を示すように、リードフレーム 1 1 0 に設けたアイランド 1 1 1 上に半導体の素子チップ 1 0 1 をマウントし、当該素子チップ 1 0 1 の電極とリードフレーム 1 1 0 の各リード部 1 1 2, 1 1 3, 1 1 4 とを相互に電気接続した上でこれらを樹脂やセラミック等によって封止してパッケージ 1 0 3 を形成する構成がとられている。例えば、素子チップ 1 0 1 を MOS トランジスタのトランジスタチップとした場合には、素子チップ 1 0 1 の裏面にドレイン電極 TD が形成され、このドレイン電極 TD はアイランド 1 1 1 に直接にマウントされ同時にドレインリード部 1 1 2 に電気接続されている。また、素子チップ 1 0

1の表面にゲート電極TGとソース電極TSが形成され、これらの電極はそれぞれアイランド111の一辺ないし周囲に配設したゲートリード部113、ソースリード部114に金ワイヤ102によって電気接続されている。このような半導体装置としては、特許第2714037号の技術に基づくものがある。

【0003】

ところで、近年、素子チップの高集積化や半導体装置の高出力化に伴いチップサイズを大きくする要求が高められている一方で、パッケージの小型化が求められている。このような要求に対し、図13に示した半導体装置では、素子チップ101のチップサイズを大きくすると、当該素子チップ101を搭載するアイランド111の寸法が大きくなり、またアイランド111の周囲にリード部113、114を配置するスペースを確保する必要があるために、結果としてこれらを含めて封止するパッケージ103の寸法が大きくなり、半導体装置が大型化してしまうことになる。

【0004】

このような問題に対しては、例えば、特開平11-354702号公報の技術や特許第3240292号の技術を適用することが考えられる。この技術は2枚のリードフレームを用いており、一方のリードフレームに素子チップをマウントし、他方のリードフレームのリード部を素子チップの表面の電極に対して直接的に接続して電気接続を行うものである。例えば、素子チップとしてMOSトランジスタチップを例にすると、図14(a)，(b)に平面図とそのD-D線断面図を示すように、素子チップ201の裏面はドレイン電極TDとして構成され、素子チップ201の表面にゲート電極TGとソース電極TSが配列されている。そして、素子チップ201の裏面を第1のリードフレームのアイランド211にマウントするとともに、アイランド211と一体のドレインリード部212への電気接続を行う。また、第2のリードフレームのゲートリード部213とソースリード部214の2つのリード部の各内端部213b，214bをそれぞれゲート電極TG、ソース電極TSに直接的に接触させ、接合材等によってこれらを直接に接続する構成とされている。その上でこれらを樹脂パッケージ203により封止する。このようにすることで、図13に示した従来構造のように、アイラン

ドの周囲に各リード部の金ワイヤを接続する端部を配列する必要がなくなり、同じ素子チップのサイズの場合にはパッケージの寸法を小さくして半導体装置の小型化が可能になる。もちろん、同じ寸法のパッケージの場合には封止する素子チップのサイズを大きくすることが可能になる。

【0005】

【発明が解決しようとする課題】

しかしながら、このような従来の改善された提案構造では、リード部に要求される機械的な強度を確保するためにはリード部の最小幅寸法の低減には制限があり、したがって、当該リード部が直接接続される素子チップの電極においては、電極自身の最小寸法の低減にも制限を受け、また当該リード部を接続するために電極の周囲にスペースを確保する必要がある。例えば、図14に示した半導体装置の場合には、ゲート電極TGにゲートリード部213を接続するために、ゲート電極TGをある程度以上の寸法に形成する必要がある。また、ゲートリード部213、ソースリード部214をゲート電極TG、ソース電極TSに接続するために半田や銀ペースト等の接合材を用いるが、これらの接合材が溶融されて隣接する電極に短絡することを防止するためには、ゲート電極TGとソース電極TSとの間に余裕を確保する必要がある。そのため、素子チップ201上におけるソース電極TSの面積を大きくすることができなくなる。このように、従来のトランジスタの素子チップを搭載した半導体装置では、ゲートリード部に対するゲート電極の接続を確保すると、隣接するソース電極の面積の増大に制限を受けることになり、ソース電流に依存されるトランジスタの特性を改善する上での障害になる。

【0006】

本発明の目的は、素子チップのチップサイズを大きくする一方でパッケージの小型化を図り、さらに当該素子チップに対するリード部の好適な接続を可能にして半導体装置の特性の改善を図った半導体装置とその組立方法を提供するものである。

【0007】

【課題を解決するための手段】

本発明の半導体装置は、アイランドを備える第1のリードフレームと、アイランド上にマウントされる素子チップと、リード部を備えて第1のリードフレームに重ねられる第2のリードフレームとを備え、第2のリードフレームのリード部の第1のリード部の内端部が素子チップの表面上に所要の空隙をもって配置され、当該第1のリード部の内端部と前記素子チップの表面の電極とがボンディングワイヤにより接続され、少なくとも前記素子チップ、第2のリードフレームのリード部の内端部及びボンディングワイヤがパッケージにより封止されていることを特徴としている。また、この場合に、第2のリードフレームのリード部は第2のリード部を備え、当該第2のリード部の内端部は素子チップの表面の電極に直接接続されている構成とする。ここで、前記アイランドは素子チップをマウントするのに十分な寸法をした板部材として形成されたものであり、前記ボンディングワイヤは金等の導電性のある金属細線で形成されたものである。

【0008】

本発明の半導体装置の具体例としては、素子チップは表面にゲート電極とソース電極を備え、裏面にドレイン電極を備えるトランジスタチップであり、第1のリードフレームのアイランドにはドレインリード部が一体に形成され、第2のリードフレームの第1のリード部はゲート電極にボンディングワイヤにより接続されるゲートリード部であり、第2のリード部はソース電極に直接に接続されるソースリード部として構成される。

【0009】

また、本発明は、第2のリードフレームの第1のリード部が複数設けられ、当該複数の第1のリード部の各内端部がそれぞれ素子チップの電極にボンディングワイヤにより接続される。この具体例としては、素子チップは表面にゲート電極とソース電極を備え、裏面にドレイン電極を備えるトランジスタチップであり、第1のリードフレームのアイランドにはドレインリード部が一体に形成され、第2のリードフレームの第1のリード部の一つはゲート電極にボンディングワイヤにより接続されるゲートリード部であり、第1のリード部の他の一つはソース電極に複数本のボンディングワイヤにより接続されるソースリード部として構成される。

【 0 0 1 0 】

さらに、本発明の具体例としてダイオードに適用した例では、素子チップは表面にアノード電極又はカソード電極の一方を備え、裏面に他方の電極を備えるダイオードチップであり、第1のリードフレームのアイランドには他方の電極リード部が一体に形成され、第2のリードフレームの第1のリード部は一方の電極にボンディングワイヤにより接続される一方の電極リード部として構成される。あるいは、素子チップは表面にアノード電極及びカソード電極を備え、第1のリード部の一つはアノード電極にボンディングワイヤにより接続されるアノードリード部であり、第1のリード部の他の一つはカソード電極にボンディングワイヤにより接続されるカソードリード部として構成される。

【 0 0 1 1 】

本発明の半導体装置の組立方法は、第1のリードフレームのアイランド上に素子チップをマウントする工程と、第1のリードフレーム上に第2のリードフレームに設けたリード部の第1のリード部の内端部が素子チップの上方に所要の空隙をもって配置するように当該第2のリードフレームを重ねる工程と、第1のリード部の内端部と素子チップの電極とをワイヤボンディングする工程と、素子チップ及びリード部を封止してパッケージを形成する工程と、パッケージから突出された少なくとも第1のリード部をリードフレームから切断分離して個片化する工程を含むことを特徴とする。この場合、第2のリードフレームに設けたリード部に第2のリード部を備え、第2のリード部の内端部を素子チップの表面の電極に直接に接合する工程を含んでもよい。

【 0 0 1 2 】

本発明によれば、第2のリードフレームのリード部の内端部は平面的には素子チップの表面と重なる位置に配置することが可能になり、アイランドの周囲にリード部を配置する必要がなくなり、同一寸法のアイランドの場合には素子チップを封止するパッケージを小型化でき、逆にパッケージを同一寸法とした場合には、アイランドを大きくしてマウントする素子チップのチップサイズの増大が可能になる。また、第1のリード部では素子チップの電極とボンディングワイヤにより接続しているため、当該電極の最小寸法を小さくでき、他のリード部が接続さ

れる電極を大型化できる。これにより、例えば、トランジスタの素子チップにおけるソース電極の面積を大きくし、トランジスタにおけるソース電極の低抵抗化、及びソース電流の大電流化が可能になり、トランジスタの特性を向上することが可能になる。

【 0 0 1 3 】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明をMOSFETに適用した半導体装置の第1の実施形態の一部を破断した斜視図であり、特に本実施形態では2つの素子チップを1つのパッケージに封止したデュアル型半導体装置に適用した例を示している。また、図2(a), (b), (c)はその半導体装置の内部構成を示す平面図と、A-A線、B-B線に沿う断面図である。これらの図において、後述する第1のリードフレーム10でアイランド11とドレインリード部12とが形成されており、前記アイランド11上に素子チップ1がマウントされている。この素子チップ1はチップの下側の裏面にドレイン電極TDが形成され、チップの上側の表面にゲート電極TGとソース電極TSが形成されたものである。また、前記ドレインリード部12は前記アイランド11の一侧に一体的に連結された2本の平行なリード部として構成されている。

【 0 0 1 4 】

そして、前記素子チップ1上にゲートリード部21とソースリード部22を備える後述する第2のリードフレーム20が配置される。前記ゲートリード部21とソースリード部22は外端部21a, 22aがそれぞれ前記第1のリードフレーム10のアイランド11及びドレインリード部12と同一平面位置に形成されており、内端部21b, 22bは当該平面から上方に曲げ形成されて前記素子チップ1の上方領域にまで延長されている。その上で、前記ソースリード部22の内端部22bは前記素子チップ1のソース電極TSに半田や銀ペースト等の接合材によって直接に接合されている。また、前記ゲートリード部21の内端部21bは前記素子チップ1のゲート電極TGに金ワイヤ2等によってワイヤボンディングされている。しかる上で、前記アイランド11と素子チップ1、及び前記ドレインリード部12、ゲートリード部21、ソースリード部22の各内端側の領

域が一体的に樹脂によって封止されてパッケージ 3 が形成されており、また前記各リード部 1 2, 2 1, 2 2 の外端部 1 2 a, 2 1 a, 2 2 a は同一平面上において前記樹脂パッケージ 3 から突出されている。

【 0 0 1 5 】

図 3 ないし図 7 は前記第 1 の実施形態の MOSFET の製造方法を工程順に示す図であり、各図において (a) は平面図、(b), (c) は図 2 と同じ A-A 線、B-B 線に沿う断面図である。また、図 8 (a), (b) は図 3 及び図 5 の各工程途中の斜視図である。先ず、図 3 及び図 8 (a) に示すように、第 1 のリードフレーム 1 0 のアイランド 1 1 上に素子チップ 1 がマウントされる。第 1 のリードフレーム 1 0 は、複数列の枠状に形成されたフレーム 1 3 と、前記フレーム 1 3 の各枠内にそれぞれ 2 個ずつ配置された矩形をしたアイランド 1 1 と、前記各アイランド 1 1 の一側から外側に向けて平行に延長され、外端部 1 2 a において前記フレーム 1 3 に連結される各 2 本のドレインリード部 1 2 と、前記アイランド 1 1 及びドレインリード部 1 2 の中間部を前記フレーム 1 3 に仮支持するための連結部 1 4 とを備えている。また、前記素子チップ 1 は、シリコンや化合物半導体からなるウェハを切り出したチップの主面に MOSFET が形成されたトランジスタチップとして構成されたものであり、当該素子チップ 1 の裏面にドレイン電極 TD が、表面にゲート電極 TG とソース電極 TS が形成されている。ここではゲート電極 TG は素子チップ 1 の表面上の一つの角部に近い領域に小さい面積に形成されており、ソース電極 TS は当該ゲート電極 TG を除く素子チップ 1 の表面のほぼ全域にわたる大きな面積に形成されている。そして、前記ドレイン電極 TD を前記アイランド 1 1 に対向させて銀ペースト、導電性接着剤等の図には現れないマウント材によって前記素子チップ 1 をアイランド 1 1 上にマウントする。

【 0 0 1 6 】

次いで、図 4 に示すように、前記第 1 のリードフレーム 1 0 上に第 2 のリードフレーム 2 0 を配置する。第 2 のリードフレームは、ここでは前記第 1 のリードフレーム 1 0 のフレーム 1 3 に対応したほぼ同じ形状のフレーム 2 3 と、前記フレーム 2 3 の各枠内にそれぞれ前記各アイランド 1 1 に対応して配置され、かつ

各外端部 2 1 a, 2 2 a において前記フレーム 2 3 に連結されたゲートリード部 2 1 及びソースリード部 2 2 と、これらのゲートリード部 2 1 とソースリード部 2 2 を相互に連結して機械的な強度を高めるための連結部 2 4 とを備えている。また、前記ゲートリード部 2 1 とソースリード部 2 2 は前記フレーム 2 3 に連結された外端部 2 1 a, 2 2 a から前記連結部 2 4 の近傍までの長さ領域は前記フレーム 2 3 と同一平面内に位置するように平坦に形成されているが、前記連結部 2 4 よりも内側の箇所において上方に向けて斜めに曲げ加工され、さらにそれよりも内側の内端部 2 1 b, 2 2 b は再び前記フレーム 2 3 の平面とほぼ平行に向くように曲げ加工されている。そして、前記ゲートリード部 2 1 の内端部 2 1 b は前記アイランド 1 1 の他側領域の一部においてアイランド 1 1 上に重なる位置に配置されている。また、前記ソースリード部 2 2 の内端部 2 2 b は前記アイランド 1 1 のほぼ中央近傍位置にまで延長されており、かつこの中央近傍位置において幾分下方に向けて曲げ加工されている。

【 0 0 1 7 】

そして、前記素子チップ 1 のソース電極 T S 上に半田や銀ペースト等の図には現れない接合材を塗布した上で、第 1 のリードフレーム 1 0 上に所要の荷重を加えながら第 2 のリードフレーム 2 0 を重ねる。これにより、第 2 のリードフレーム 2 0 のフレーム 2 3 は第 1 のリードフレーム 1 0 のフレーム 1 3 上に載置された状態で当該フレーム 1 3 上に支持されると同時に、第 2 のリードフレーム 2 0 のソースリード部 2 2 の内端部 2 2 b はソース電極 T S の表面上に前記荷重に基づく当接力（圧力）をもって当接される。また、このときゲートリード部 2 1 の内端部 2 1 b は素子チップ 1 上の一部において当該素子チップ 1 の表面から微小空隙おいた空間上に位置される。なお、この第 2 のリードフレーム 2 0 を重ねる際に、第 1 のリードフレーム 1 0 のフレーム 1 3 と、第 2 のリードフレーム 2 0 のフレーム 2 3 にそれぞれ位置合わせ用の目印穴や凹凸を設けておき、これらの目印穴や凹凸を利用して両者の相対的な位置合わせを行うことで、両リードフレーム 1 0, 2 0 を正確に重ね合わせることができ、前記ゲートリード部 2 1 とソースリード部 2 2 の各内端部 2 1 b, 2 2 b をアイランド 1 1 及び素子チップ 1 に対して正確に位置合わせすることが可能になる。そして、この状態を保ったま

ま前記接合材をベークしてソースリード部22の内端部22bをソース電極TSに接合する。次いで、図5及び図8(b)に示すように、素子チップ1のゲート電極TGと第2のリードフレーム20のゲートリード部21の内端部21bとを金ワイヤ2によりワイヤボンディングを行い、両者を電気接続する。

【0018】

次いで、このようにして形成された構体を、図には表れない金型にセットして樹脂モールド成形を行い、図6に示すように、少なくとも前記アイランド11を含む表面側の領域、すなわち素子チップ1と、ゲートリード部21、ソースリード部22、ドレインリード部12の各内側領域と、金ワイヤ2を含む領域を樹脂で封止して樹脂パッケージ3を形成する。このとき、ドレインリード部12、ゲートリード部21、ソースリード部22の各外端部12a, 21a, 22aは樹脂パッケージ3から突出されている。その後、図には表れないプレス装置において、図7に示すように、前記第1及び第2のリードフレーム10, 20の各フレーム13, 23及び連結部14, 24を切断することで個片化された図1及び図2に示したデュアル型の樹脂パッケージ構造のMOSFETが完成される。

【0019】

このように、本実施形態のMOSFETでは、ゲートリード部21の内端部21bは素子チップ1の表面上の空間に所要の寸法の空隙をおいて配置され、しかもゲート電極TGとは金ワイヤ2により電気接続されているため、平面的には内端部21bを素子チップ1の表面と重なる位置に配置することが可能になる。したがって、図13に示した従来技術に比較すると、アイランド11の周囲にゲートリード部21の内端部21bを配置する必要がなくなり、アイランド11が同じ寸法の場合にはアイランド11及びゲートリード部21の内端部21bを含めた領域を封止する樹脂パッケージ3の平面面積を小さくすることができ、MOSFETの小型化が可能になる。一方、逆に樹脂パッケージ3を同じ寸法とした場合には、ゲートリード部21の内端部21bが占める領域までアイランド11を延設することができるためアイランド11を大きくすることができ、アイランド11にマウントする素子チップ1にチップサイズの大きなものが採用でき、高電力でかつ低抵抗なMOSFETを得ることができる。

【0020】

また、本実施形態のMOSFETは、ゲートリード部21はゲート電極TGに金ワイヤ2により接続しているため、ゲート電極TGはワイヤボンディングに必要な面積を確保すればよく、図14に示した従来技術のようにリード部を直接ゲート電極に接続する構成に比較してゲート電極TGの面積を可及的に小さくすることができる。そのため、前記第1の実施形態において示したようにソース電極TSを素子チップ1のほぼ全域を占める面積に形成でき、しかもソース電極TSに対してはソースリード部22の内端部22bが直接に接続されているため、ソース電極TS及びソース接続部の低抵抗化、及びソース電流の大電流化が可能になり、MOSFETの特性を向上することができる。なお、素子チップ1で発生した熱は樹脂パッケージ3から露出しているヒートシンクを兼ねるアイランド11の裏面から放熱するとともに、素子チップ1の表面からはソース電極TSに直接接続したソースリード部22を介して放熱することも可能であり、MOSFETの熱特性を改善する上で有利である。

【0021】

図9は本発明の第2の実施形態を示しており、樹脂パッケージ内の内部構造の一部を示す斜視図である。なお、前記第1の実施形態と等価な部分には同一符号を付してある。第1のリードフレーム10は第1の実施形態と同じであり、アイランド11とドレインリード部12とが形成されており、前記アイランド11上に素子チップ1がマウントされている。この素子チップ1も第1の実施形態と同じであり、素子チップ1の裏面にドレイン電極TDが形成され、素子チップ1の表面にゲート電極TGとソース電極TSが形成されたものである。そして、前記第1のリードフレーム10上にゲートリード部21とソースリード部22を備える第2のリードフレーム20が配置されている。前記ゲートリード部21とソースリード部22は外端部21a、22aが前記アイランド11及びドレインリード部12と同一平面位置に形成されており、内端部21b、22bは当該平面位置から上方に曲げ形成されて前記素子チップ1の上方領域にまで延長され、素子チップ1の表面に対して所要の空隙をもった位置に配置されている。なお、ソースリード部22の内端部22bはゲートリード部21の内端部21bよりも面積

が大きくされている。その上で、前記ゲートリード部21とソースリード部22の各内端部21b, 22bは前記素子チップ1のゲート電極TGとソース電極TSにそれぞれ金ワイヤ2によってワイヤボンディングされている。しかる上で、図示は省略するが、前記アイランド11及び素子チップ1と、前記ドレインリード部12、ゲートリード部21、ソースリード部22の各内端部12b, 21b, 22bが一体的に樹脂によって封止されて樹脂パッケージ3が形成されており、また前記各リード部12, 21, 22の外端部12a, 21a, 22aは同一平面上において前記樹脂パッケージから突出されている。

【0022】

図10は前記第2の実施形態のMOSFETの製造方法を工程順に示す図9のC-C線に相当する箇所の断面図である。先ず、図10(a)に示すように、第1のリードフレーム10のアイランド11上に素子チップ1がマウントされるが、この工程は第1の実施形態と同様である。しかる上で、図10(b)に示すように、前記第1のリードフレーム10上に第2のリードフレーム20を配置する。第2のリードフレーム20も第1の実施形態とほぼ同じであるが、ここではソースリード部22の内端部22bの構成が相違している。この実施形態では前述のようにソースリード部22の内端部22bはゲートリード部21の内端部21bと同様に、外端部22aから平坦に延長されたリード部が中間領域において上方に向けて斜めに曲げ加工され、さらにそれよりも内側の内端部22bは再び前記平面と平行に近い方向に向くように曲げ加工されている。また、ソースリード部22の内端部22bの面積はゲートリード部21の内端部21bよりも若干大きな面積とされ、その上で各リード部21, 22の各内端部21b, 22bは平面的には前記素子チップ1の表面上の一部に重なる位置に配置されている。

【0023】

そして、前記第1のリードフレーム10のフレーム13の上面の適宜箇所に接着剤を塗布した上で、第1のリードフレーム10上に所要の荷重を加えながら第2のリードフレーム20を重ねる。これにより、第2のリードフレーム20のフレーム23は第1のリードフレーム10のフレーム13に接着されて両者は一体化状態とされる。このときゲートリード部21及びソースリード部22の各内端

部 2 1 b, 2 2 b はそれぞれ素子チップ 1 上の一部において当該素子チップ 1 の表面から微小空隙おいた空間の表面上に位置される。次いで、図 1 0 (c) に示すように、素子チップ 1 のゲート電極 T G とゲートリード部 2 1 の内端部 2 1 b とを 1 本の金ワイヤ 2 a によりワイヤボンディングを行い、両者を電気接続する。また、ソース電極 T S とソースリード部 2 2 の内端部 2 2 b とを複数本の金ワイヤ 2 b によりワイヤボンディングを行い、両者を電気接続する。

【 0 0 2 4 】

しかる上で、このようにして形成された構体を、図 1 0 (d) に示すように、図には表れない金型にセットして樹脂モールド成形を行い、少なくとも前記アイランド 1 1 を含む表面側の領域、すなわち素子チップ 1、ゲートリード部 2 1 とソースリード部 2 2 の各内端部 2 1 b, 2 2 b、及び金ワイヤ 2 a, 2 b を含む領域を樹脂で封止して樹脂パッケージ 3 を形成する。このとき、ドレインリード部 1 2、ゲートリード部 2 1、ソースリード部 2 2 の各外端部 1 2 a, 2 1 a, 2 2 a は樹脂パッケージ 3 から突出される。その後、図には表れないプレス装置において前記第 1 及び第 2 のリードフレーム 1 0, 2 0 のフレーム 1 3, 2 3 等を切断することで個片化された図 9 に示した樹脂パッケージ構造の M O S F E T が完成される。

【 0 0 2 5 】

このように、本実施形態の M O S F E T では、ゲートリード部 2 1 及びソースリード部 2 2 の各内端部 2 1 b, 2 2 b は素子チップ 1 の表面上に所要の寸法の空隙をおいて配置された上で、それぞれゲート電極 T G 及びソース電極 T S に金ワイヤ 2 a, 2 b によりワイヤボンディングされて電気接続されているため、平面的にはこれらの内端部 2 1 b, 2 2 b を素子チップ 1 の主面と重なる位置に配置することが可能になる。したがって、第 1 の実施形態と同様に、同一寸法のアイランドの場合にはアイランド及びゲートリード部を含めた領域を封止する樹脂パッケージの平面面積を小さくすることができ、M O S F E T の小型化が可能になる。一方、逆に樹脂パッケージを同一寸法とした場合には、アイランドを大きくすることができ、マウントする素子チップにチップサイズの大きなものが採用でき、高電力でかつ低抵抗な M O S F E T を得ることができる。

【0026】

また、本実施形態のMOSFETは、ゲートリード部21とソースリード部22はそれぞれ金ワイヤ2a, 2bによりゲート電極TGとソース電極TSに接続を行っているため、ゲート電極TG及びソース電極TSの面積は任意に設計できる。したがって、特に、ソース電極TSをゲート電極TGを除く素子チップ1のほぼ全域を占める面積に形成することも可能であり、ソース電極TSの低抵抗化、及びソース電流の大電流化が可能になり、MOSFETの特性を向上することができる。なお、素子チップ1で発生した熱は樹脂パッケージから露出しているヒートシンクを兼ねるアイランド11の裏面から放熱され、MOSFETの熱特性を改善する上で有利である。

【0027】

図11は本発明の第3の実施形態の一部を破断した斜視図であり、ここではパワーダイオード等のような大電力用のダイオードに本発明を適用した例を示している。第1のリードフレーム10Aは矩形をしたアイランド11と、このアイランド12に内端部15bが連結されたカソードリード部15を備えており、前記アイランド11上にダイオードの素子チップ1Aがマウントされている。この素子チップ1Aは裏面にカソード電極TKが形成され、表面にアノード電極TAが形成されている。そして、前記第1のリードフレーム10A上にアノードリード部25を備える第2のリードフレーム20Aが配置される。前記アノードリード部25は外端部25aが前記アイランド11及びカソードリード部15と同一平面位置に形成されており、内端部25bは当該平面位置から上方に曲げ形成されて前記素子チップ1Aの上方領域にまで延長されている。その上で、前記アノードリード部25の内端部25bは前記素子チップ1Aのアノード電極TAに金ワイヤ2によってワイヤボンディングされている。しかる上で、前記アイランド11、素子チップ1A、前記カソードリード部15及びアノードリード部25の各内端部15b, 25bが一体的に樹脂によって封止されて樹脂パッケージ3が形成されており、また前記各リード部15, 25の外端部15a, 25aは同一平面上において前記樹脂パッケージ3から突出されている。

【0028】

この第3の実施形態のダイオードの製造方法は、基本的には前記第2の実施形態のMOSFETの製造方法と同じであるので詳細な説明は省略する。本実施形態のダイオードでは、アノードリード部25の内端部25bは素子チップ1Aの表面上に所要の寸法の空隙をおいて配置され、かつアノード電極TAとは金ワイヤ2により電気接続されているため、平面的には素子チップ1Aの表面と重なる位置に配置することが可能になる。したがって、同一寸法のアイランドの場合にはアイランド11及びアノードリード部25を含めた領域を封止する樹脂パッケージ3の平面面積を小さくすることができ、ダイオードの小型化が可能になる。一方、逆に樹脂パッケージ3を同一寸法とした場合には、アイランド11を大きくすることができ、マウントする素子チップにチップサイズの大きなものが採用でき、高出力のダイオードを得ることができる。なお、素子チップ1Aで発生した熱は樹脂パッケージ3から露出しているヒートシンクを兼ねるアイランド11の裏面から放熱され、ダイオードの熱特性を改善する上で有利である。

【0029】

図12は本発明の第4の実施形態の一部を破断した斜視図であり、ここではプレーナ構造をした小電力用のダイオードに本発明を適用した例を示している。第1のリードフレーム10Bは矩形をしたアイランド11のみが形成されている。前記アイランド11上にダイオードの素子チップ1Bがマウントされており、この素子チップ1Bは表面にアノード電極TAとカソード電極TKが並んで形成されている。そして、前記素子チップ1Bにアノードリード部25及びカソードリード部26を備える第2のリードフレーム20Bが前記アイランド11の反対側から対向するように一直線上に配置されている。前記アノードリード部25とカソードリード部26の各内端部25b、26bは前記素子チップ1Bの表面とは所要の空隙を保って当該表面上の領域に配置されている。その上で、前記アノードリード部25の内端部25bは前記素子チップ1Bのアノード電極TAに金ワイヤ2cによってワイヤボンディングされ、前記カソードリード部26の内端部26bは前記素子チップ1Bのカソード電極TKに金ワイヤ2dによってワイヤボンディングされている。さらに、前記アイランド11、素子チップ1B、前記アノードリード部25及びカソードリード部26の各内端部25b、26bが

一体的に樹脂によって封止されて樹脂パッケージ3が形成されている。また、前記各リード部25、26の外端部25a、26aは同一平面上において前記樹脂パッケージ3から突出されている。

【0030】

この第4の実施形態のダイオードの製造方法は、基本的には前記第3の実施形態のダイオードの製造方法と同じであるので詳細な説明は省略する。本実施形態のダイオードでは、アノードリード部25とカソードリード部26の各内端部25b、26bは素子チップ1Bの表面上に所要の寸法の空隙をおいて配置された上でアノード電極TAとカソード電極TKにそれぞれ金ワイヤ2c、2dにより電気接続されているため、平面的には素子チップ1Bの表面と重なる位置に配置することが可能になる。したがって、同一寸法のアイランドの場合にはアイランド11とアノードリード部25及びカソードリード部26を含めた領域を封止する樹脂パッケージ3の平面面積を小さくすることができ、ダイオードの小型化が可能になる。一方、逆に樹脂パッケージ3を同一寸法とした場合には、アイランド11を大きくすることができ、マウントする素子チップにチップサイズの大きなものが採用できる。なお、素子チップ1Bで発生した熱は樹脂パッケージ3から露出しているヒートシンクとしてのアイランド11の裏面から放熱され、ダイオードの熱特性を改善する上で有利である。

【0031】

なお、図示は省略するが、第4の実施形態において、アノードリード部25とカソードリード部26のいずれか一方の内端部を金ワイヤにより素子チップ1Bのアノード電極TA又はカソード電極TKに接続する一方で、他方の内端部を直接に素子チップ1Bのカソード電極TK又はアノード電極TAに接続する構成としてもよい。すなわち、第1の実施形態と同様にリード部の接続を行うようにしてもよい。このような構成はダイオードの場合には要求されることは少ないが、何らかの理由で一方の電極の面積を他方の電極の面積よりも大きくしたい要求がある場合に、当該一方の電極に対してボンディングワイヤによる接続を行い、他方の電極に対してリード部を直接接続する構成とすればよい。また、この場合におけるダイオードの製造方法は、基本的には前記第1の実施形態のMOSFET

の製造方法と同じであるので詳細な説明は省略する。

【0032】

ここで、前記各実施形態では、樹脂パッケージにおいてアイランドの裏面を露出する構成としているが、放熱の要求が高くない半導体装置の場合には、アイランドの裏面を含めた領域を封止するようにしてもよい。また、図示は省略するが、前記各実施形態において第2のリードフレームのリード部を平坦に形成して第1のリードフレームと同一平面に配置する一方で、第1のリードフレームのアイランドを前記リード部の下方に向けて曲げ形成し、当該アイランドにマウントする素子チップとリード部とを直接に接続し、あるいは両者間に空隙を形成するように構成してもよい。

【0033】

また、前記各実施形態では、樹脂パッケージからリード部の外端部が突出される構成の半導体装置について説明したが、当該外端部が樹脂パッケージの裏面と同一面に配置される、いわゆるリードレス型パッケージと称される半導体装置に適用することも可能である。

【0034】

なお、前記実施形態ではMOSFET、ダイオードに本発明を適用した例を示しているが、アイランド上に素子チップをマウントし、当該素子チップに対してリード部を電気接続した上でパッケージを形成する構成の半導体装置であれば、素子チップの種類、あるいはパッケージの種類が前記各実施形態に限定されるものではない。例えば、素子チップとして3端子或いは4端子のダイオード、多数の電極を有するICチップやLSIチップの半導体装置に適用できる。また、パッケージとしてセラミックやその他のパッケージ構成を採用する半導体装置に適用できる。

【0035】

【発明の効果】

以上説明したように本発明は、第2のリードフレームのリード部の内端部は平面的には素子チップの表面と重なる位置に配置することが可能になり、アイランドの周囲にリード部を配置する必要がなくなり、同一寸法のアイランドの場合に

は素子チップを封止するパッケージを小型化でき、逆にパッケージを同一寸法とした場合には、アイランドを大きくしてマウントする素子チップのチップサイズの増大が可能になる。また、第 1 のリード部では素子チップの電極とボンディングワイヤにより接続しているため、当該電極の最小寸法を小さくでき、他のリード部が接続される電極を大型化できる。これにより、トランジスタやダイオードにおける高出力化等の特性を向上することが可能になる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の半導体装置の一部を破断した斜視図である。

【図 2】

図 1 の半導体装置の平面図と A - A 線、B - B 線の各断面図である。

【図 3】

第 1 の実施形態の製造工程のその 1 の平面図と A - A 線、B - B 線の各断面図である。

【図 4】

第 1 の実施形態の製造工程のその 2 の平面図と A - A 線、B - B 線の各断面図である。

【図 5】

第 1 の実施形態の製造工程のその 3 の平面図と A - A 線、B - B 線の各断面図である。

【図 6】

第 1 の実施形態の製造工程のその 4 の平面図と A - A 線、B - B 線の各断面図である。

【図 7】

第 1 の実施形態の製造工程のその 5 の平面図と A - A 線、B - B 線の各断面図である。

【図 8】

図 3 及び図 5 の各工程途中の要部の斜視図である。

【図 9】

本発明の第2の実施形態の一部を破断した斜視図である。

【図10】

第2の実施形態を製造工程順に示す図9のC-C線に沿う断面図である。

【図11】

第3の実施形態の一部を破断した斜視図である。

【図12】

第4の実施形態の一部を破断した斜視図である。

【図13】

従来の半導体装置の一例の平面図である。

【図14】

従来の改善された半導体装置の平面図とD-D線断面図である。

【符号の説明】

- 1, 1A, 1B 素子チップ
- 2 (2a~2d) 金ワイヤ
- 3 樹脂パッケージ
- 10, 10A, 10B 第1のリードフレーム
- 11 アイランド
- 12 ドレインリード部
- 13 フレーム
- 14 連結部
- 15 カソードリード部
- 20, 20A, 20B 第2のリードフレーム
- 21 ゲートリード部
- 22 ソースリード部
- 23 フレーム
- 24 連結部
- 25 アノードリード部
- 26 カソードリード部
- TD ドレイン電極

TG ゲート電極

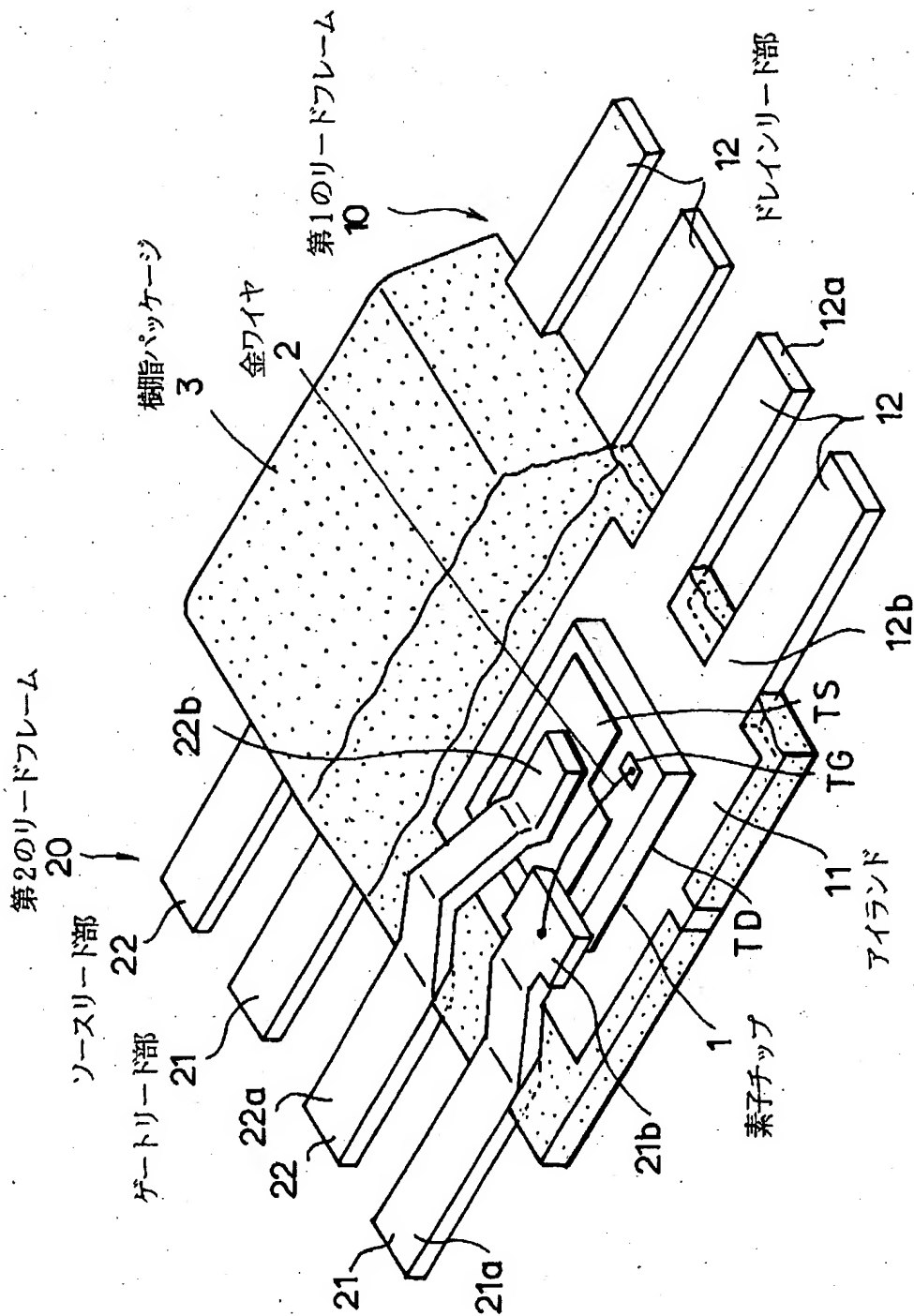
TS ソース電極

TA アノード電極

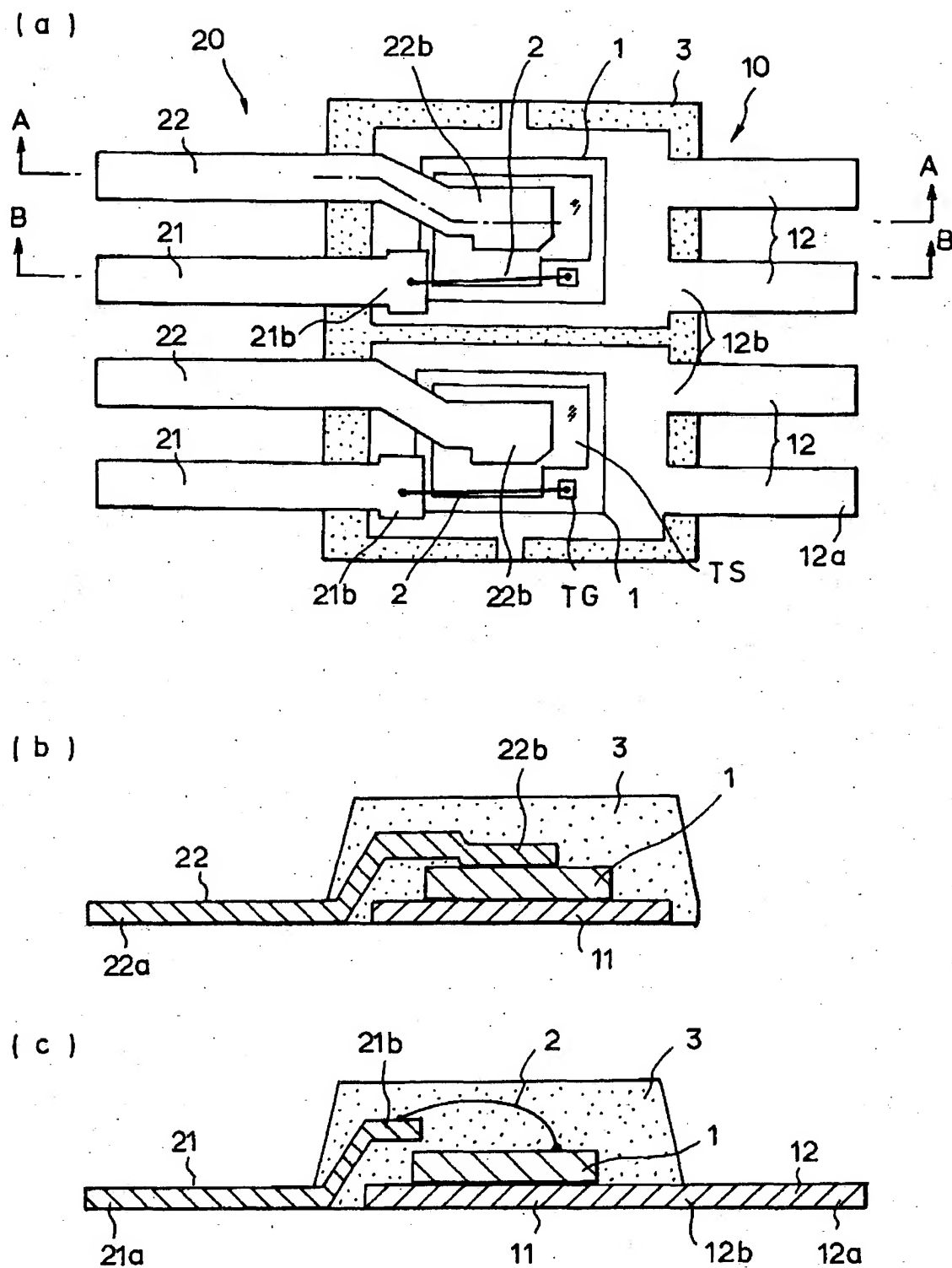
TK カソード電極

【書類名】 図面

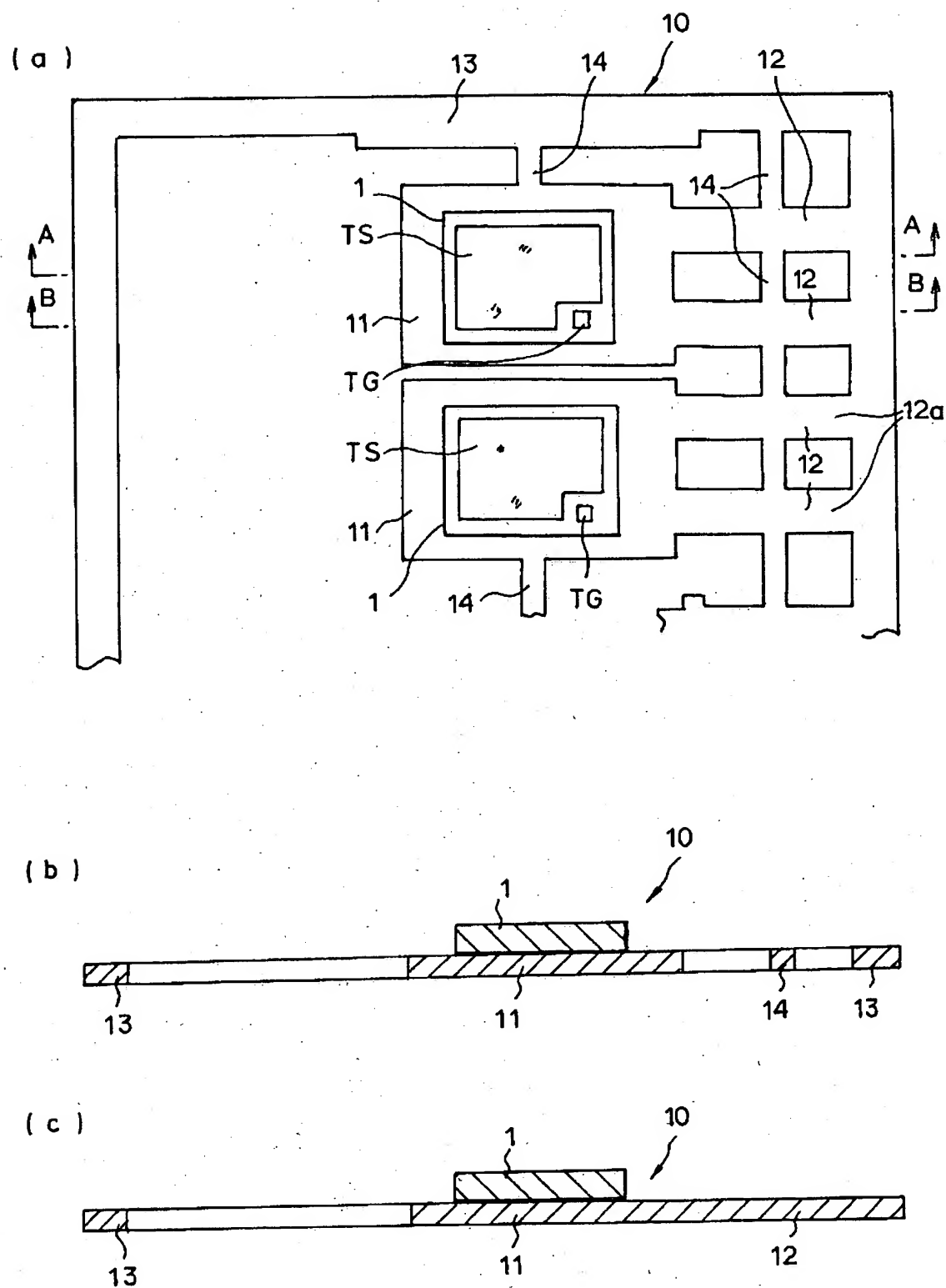
【図1】



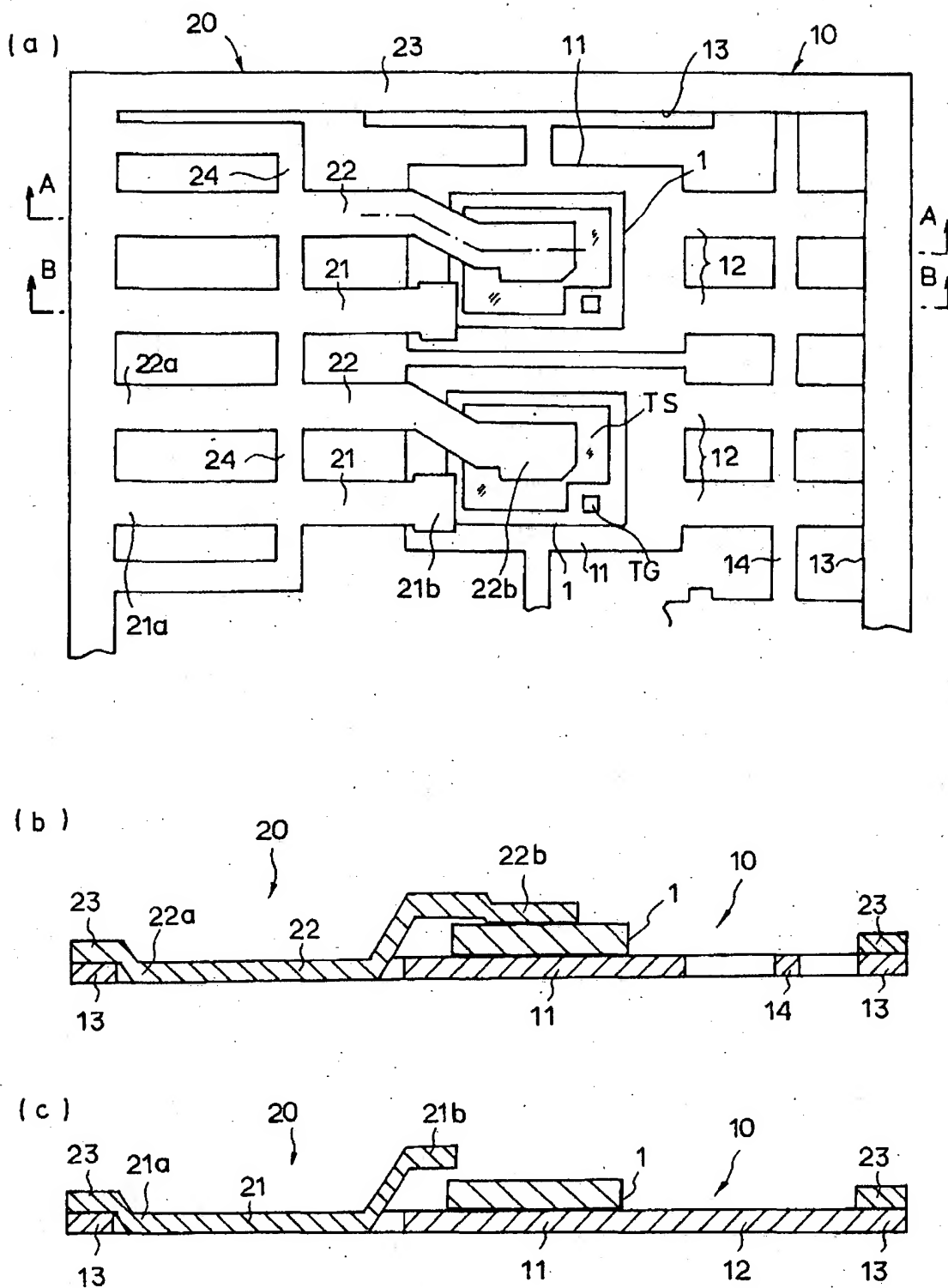
【図 2】



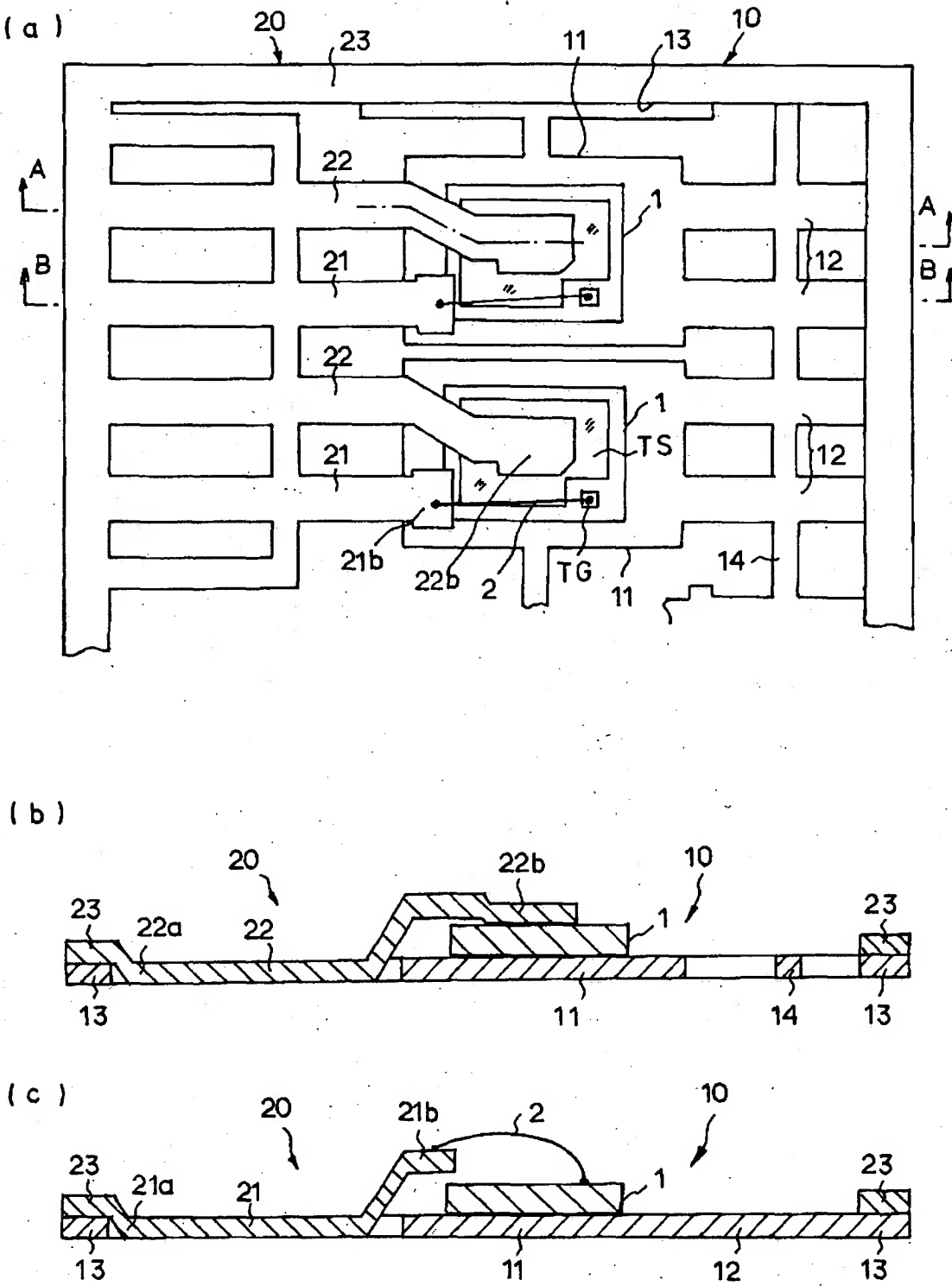
【図 3】



【図4】

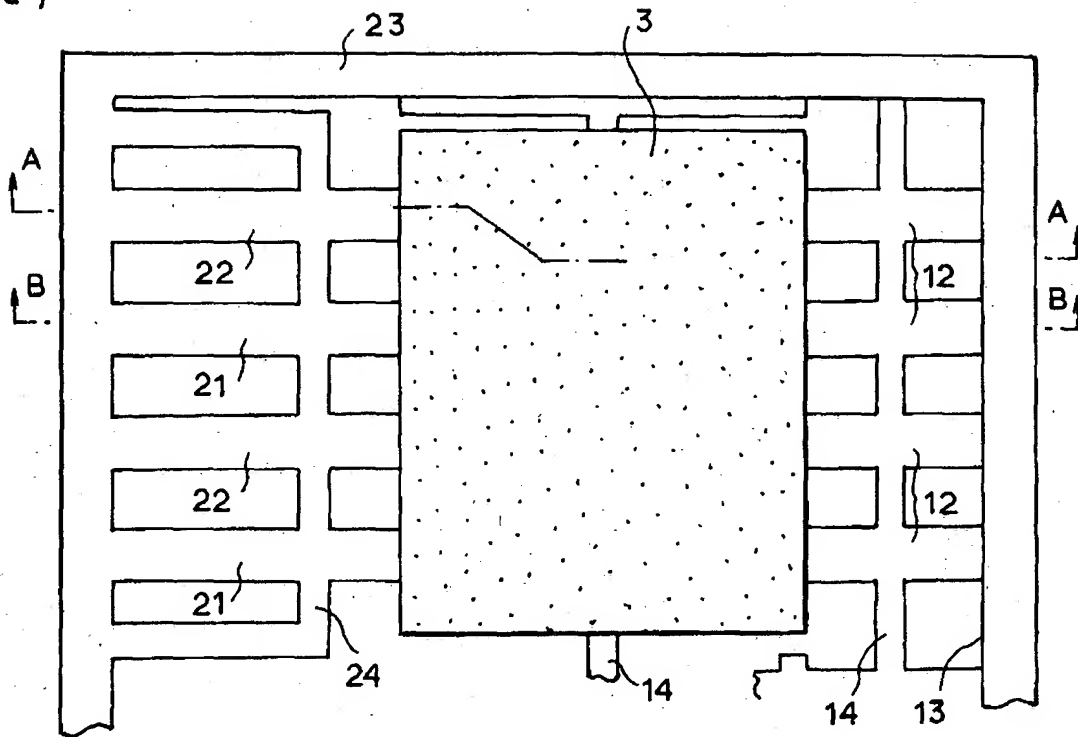


【図 5】

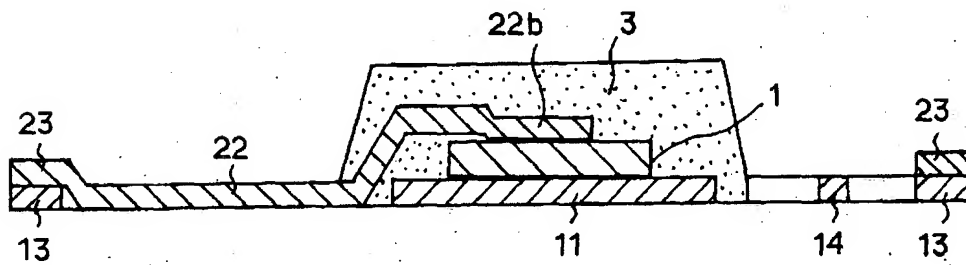


【図 6】

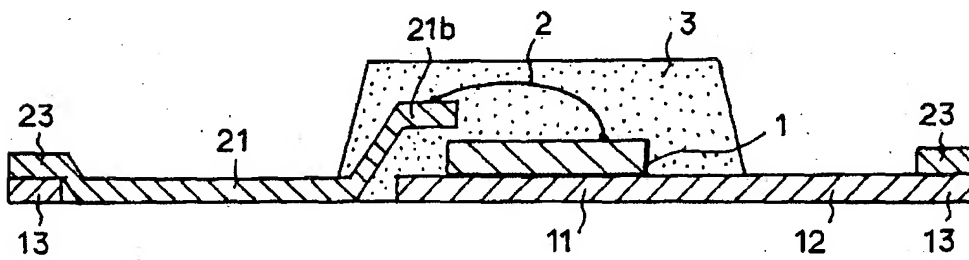
(a)



(b)

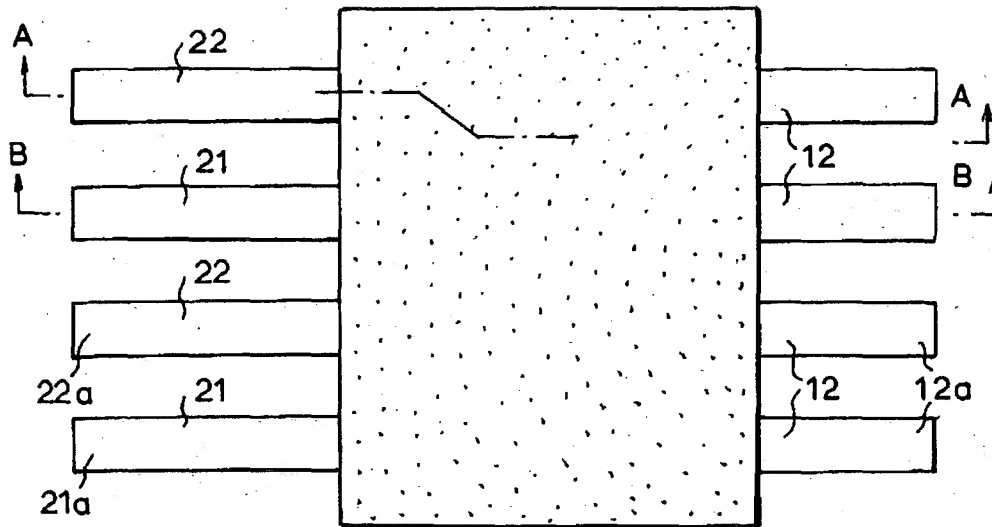


(c)

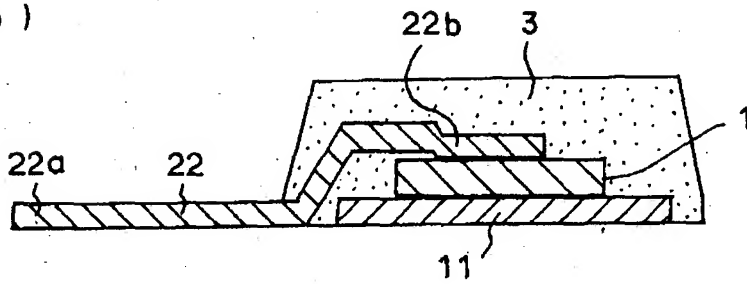


【図 7】

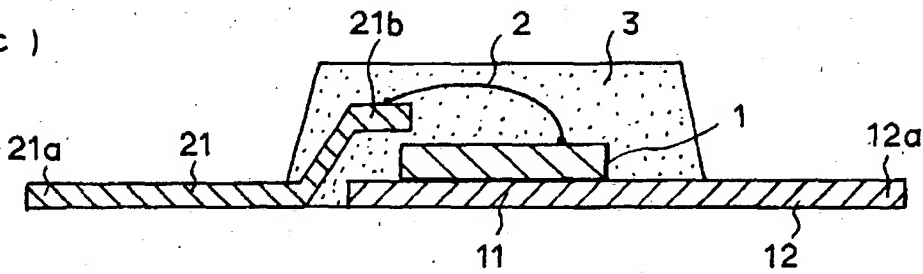
(a)



(b)

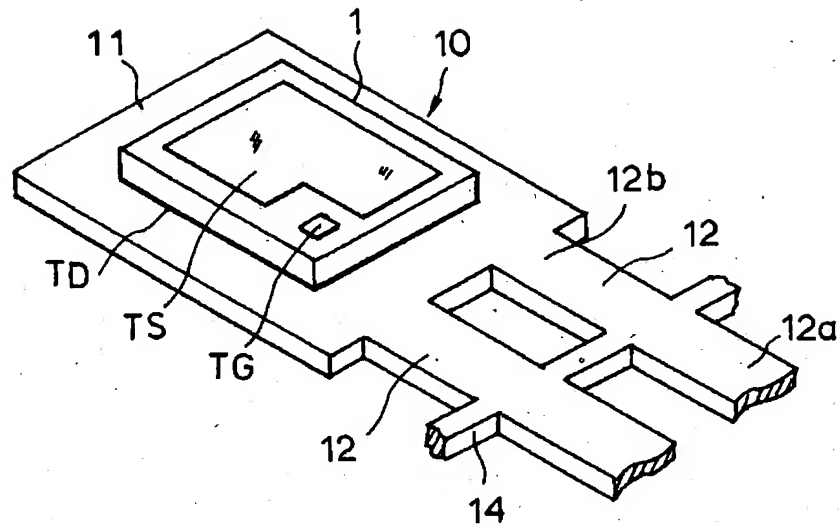


(c)

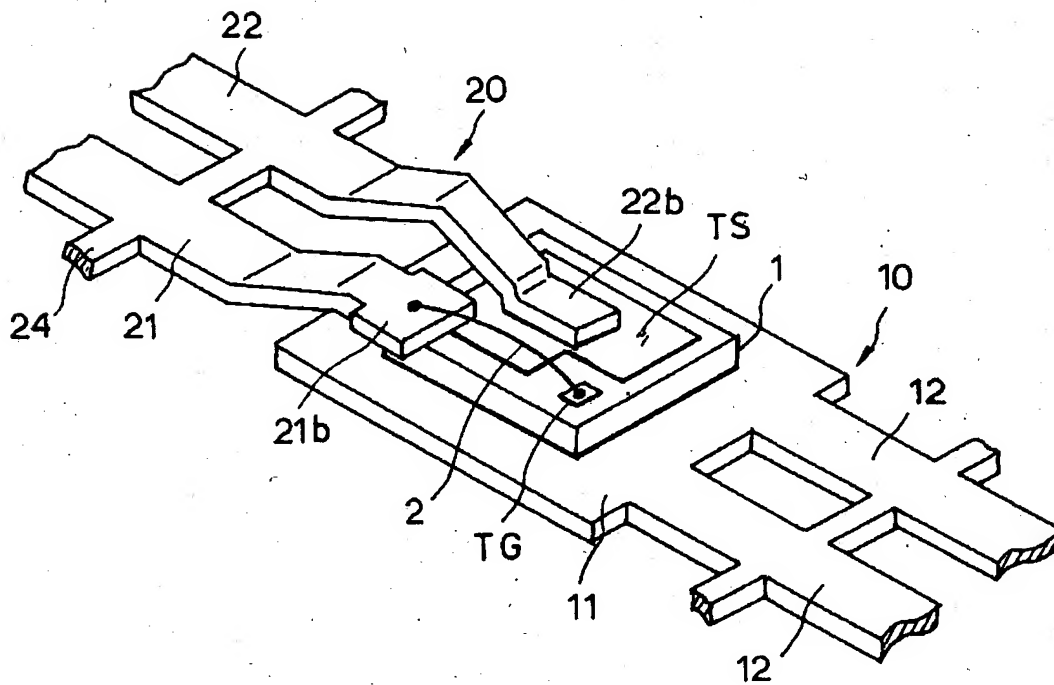


【図8】

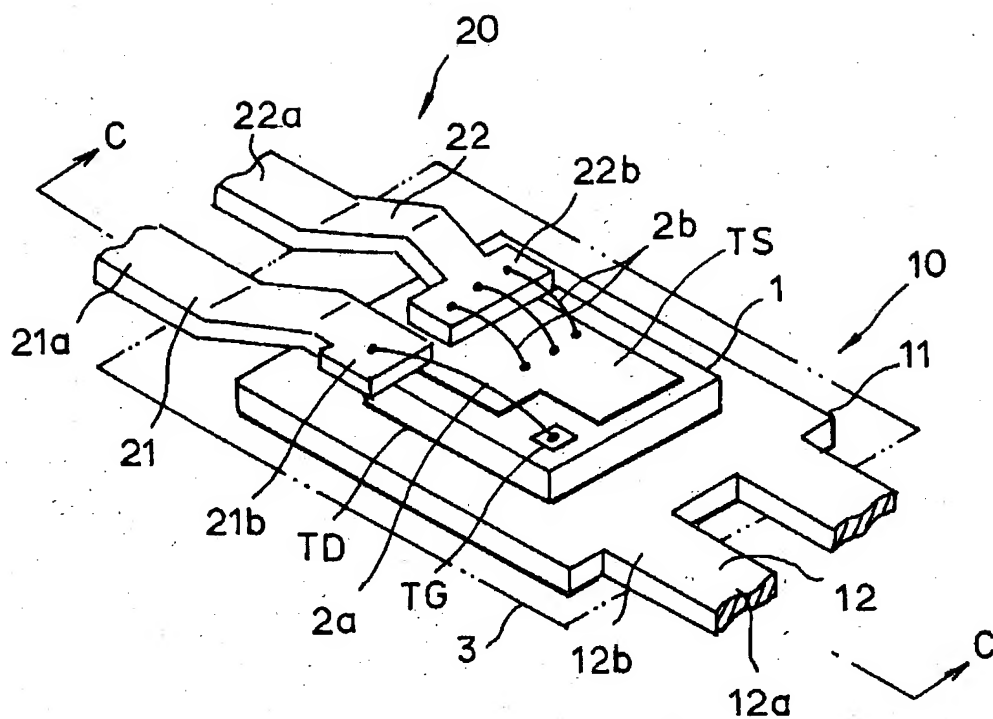
(a)



(b)

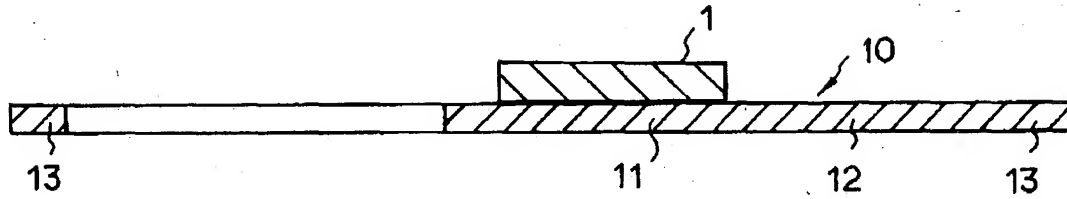


【図9】

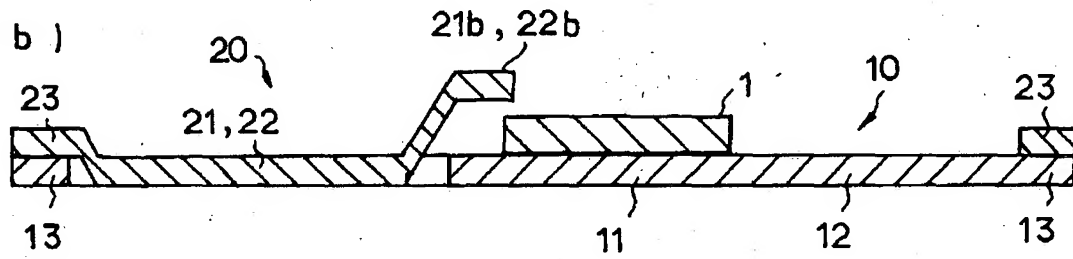


【図10】

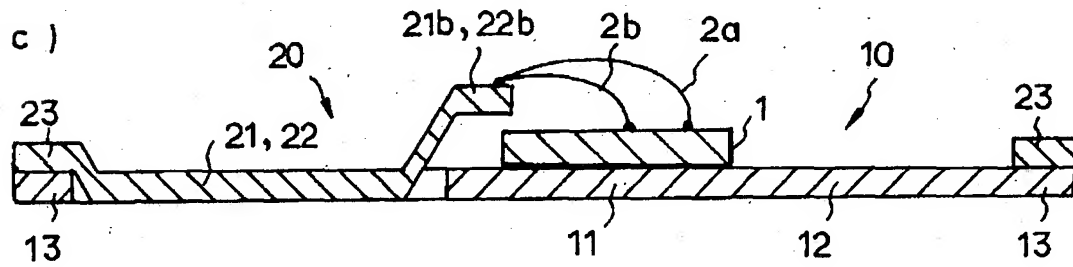
(a)



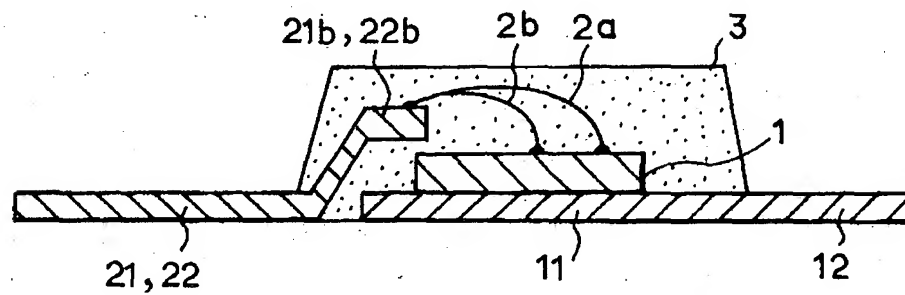
(b)



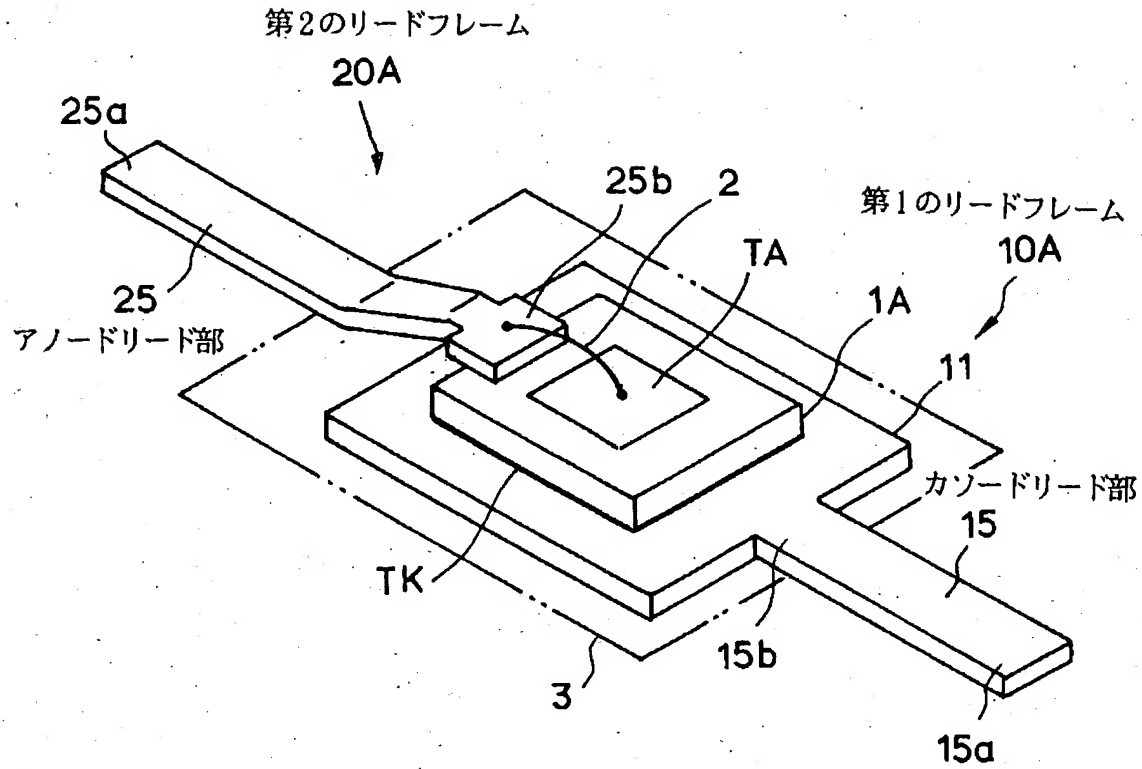
(c)



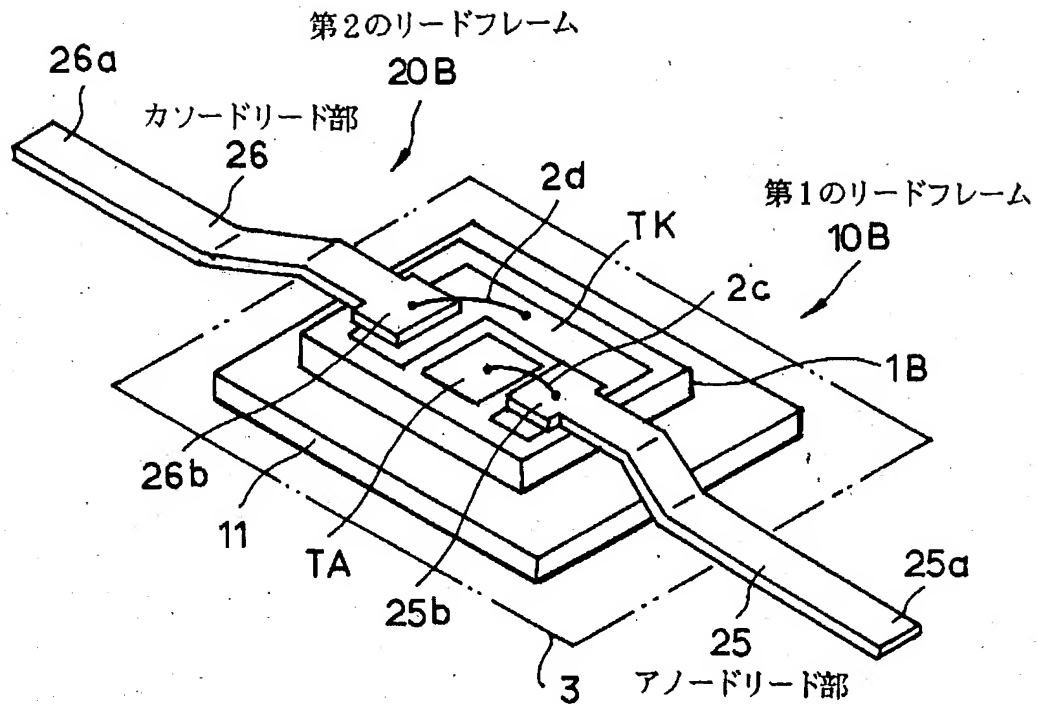
(d)



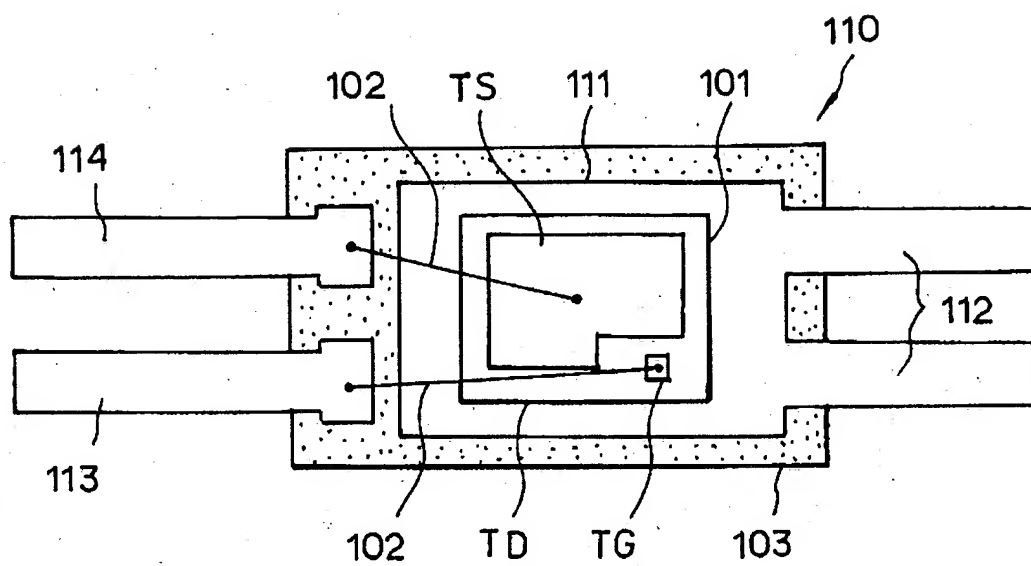
【図11】



【図12】

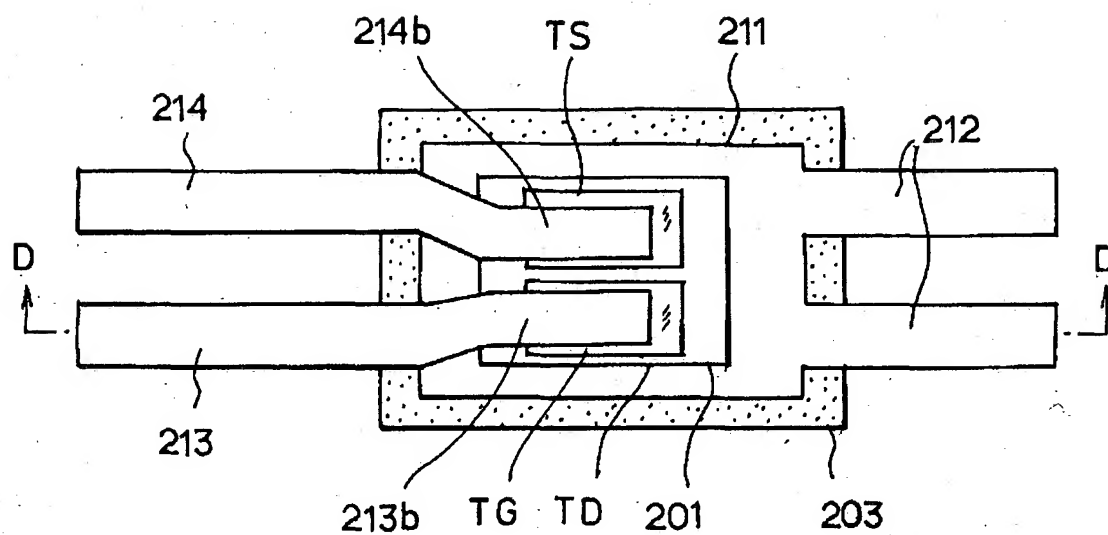


【図13】

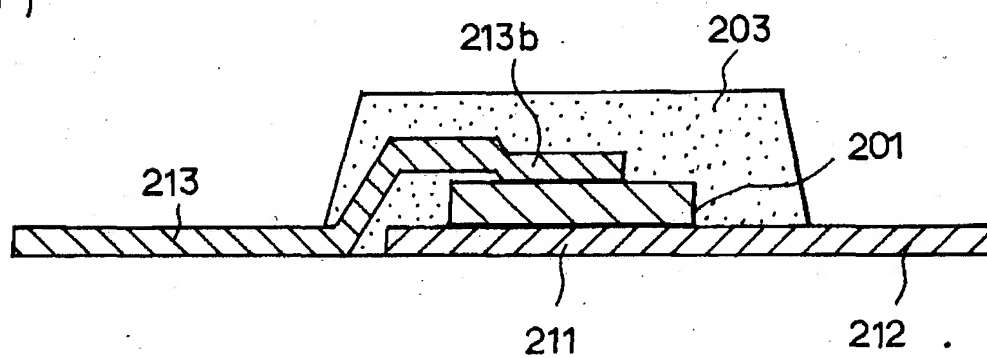


【图 14】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 素子チップのチップサイズを大きくする一方でパッケージの小型化を図り、さらに半導体装置の特性の改善を図った半導体装置とその組立方法を提供する。

【解決手段】 アイランド11を備える第1のリードフレーム10と、アイランド11上にマウントされる素子チップ1と、第1及び第2のリード部21, 22を備えて第1のリードフレーム10に重ねられる第2のリードフレーム20とを備え、第1のリード部21の内端部21bが素子チップ1の表面上に所要の空隙をもって配置されて素子チップ1の電極TGに金ワイヤ2で接続される。また、第2のリード部22の内端部22bは素子チップ1の表面の電極TSに直接接続される。樹脂パッケージ3を大型化することなくチップサイズが増大でき、かつ素子チップ1の電極TSの寸法に制限を受け難く、半導体装置の特性の改善に有効となる。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 S086

【提出日】 平成15年 1月21日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-237731

【承継人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代表者】 戸坂 馨

【承継人代理人】

【識別番号】 100081433

【弁理士】

【氏名又は名称】 鈴木 章夫

【提出物件の目録】

【物件名】 承継人であることを証する登記簿謄本 1

【援用の表示】 特願2002-318488の出願人名義変更届に添付
のものを援用する。

【物件名】 承継人であることを証する承継証明書 1

【援用の表示】 平成9年特許願第225968号の出願人名義変更届に
添付のものを援用する。

【包括委任状番号】 0216537

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社